

SISTEMAS PROGRAMABLES EN UN CHIP (PSOC) Y SUS POTENCIALIDADES PARA LA INSTRUMENTACIÓN*

ALBERTO TABOADA CRISPÍ**

Resumen

Este trabajo consta de dos partes fundamentales, una en que se introducen los dispositivos programables en un chip (PSoC) y otra en que se desarrolla un diseño basado en PSoC de un sistema de adquisición con procesamiento fuera de línea. En la primera parte, se analiza la filosofía del PSoC, qué cosa es configurable, además de cuándo y cómo se configura. Los bloques analógicos y digitales son presentados para comprender la constitución de los módulos de usuarios y sus características, así como el ambiente de desarrollo integrado que permite editar dispositivos, editar aplicaciones, compilar, ensamblar y depurar los programas con ayuda de un kit de desarrollo. En la segunda parte del trabajo se introduce el flujo de diseño que incluye determinar los requerimientos del sistema, seleccionar los módulos de usuario, colocarlos y establecer sus parámetros, definir los pines del dispositivo, generar la aplicación, revisar el código generado y demostrar el trabajo de la configuración. Para ello, se toma un ejemplo común en el campo de la instrumentación industrial y biomédica, donde se miden, en un medio ruidoso, variables que varían lentamente, con sensores que entregan niveles de voltaje muy bajos, se almacena y se procesa fuera de línea. Se muestran las posibilidades de los PSoC para este tipo de diseño, explotando características que permiten una solución original y económicamente viable.

Palabras Claves: diseño, instrumentación, PSoC, sistemas de adquisición, sistemas programables.

INTRODUCCIÓN

Los sistemas programables en un chip, también conocidos como PSoC por las siglas en inglés de *Programmable System-on-Chip*, constituyen un arreglo configurable de 'señal mezclada' (parte analógica y digital) con controlador en una tarjeta. Estos dispositivos conjugan las ventajas de los SoC, con la flexibilidad de los sistemas programables.

Los PSoC fueron introducidos por la corporación norteamericana *Cypress*, fundada en 1982, y que cuenta actualmente con más de 4 000 empleados en todo el mundo, y ganancias de unos \$800 millones. Su casa matriz está en San José, California, pero cuenta con oficinas de venta en casi todo el mundo [1].

La filosofía de *Cypress* es bajar los costos con el uso de los PSoC [1]. Como ejemplo, se puede comparar una solución tradicional hipotética con otra a base de PSoC. Mientras la tradicional costaría unos \$6.07 por unidad, distribuidos en un micro de 8 bits (\$2.00), cristal y capacitores (\$0.57), filtros (\$0.30), amplificadores (\$0.20), excitador de altavoz (\$0.15) y excitadores para LED (\$0.05), con un circuito impreso de \$1.20 y un montaje de \$1.60, la solución con PSoC solo costaría \$4.80, al tenerlo todo incluido en el micro PSoC (\$2.50), y requerir, por tanto, de un circuito impreso y un montaje más sencillos (de \$0.90 y \$1.40, respectivamente).

Con los PSoC se pueden crear chips a la medida, donde el usuario define: qué funciones aparecen, cuándo ellas aparecen y cómo ellas se interconectan [2]. Por ejemplo, una aplicación que requiere de un dispositivo con un contador de 8 bits, un temporizador de 16 bits, un UART *full-duplex* con generador de razón de Baudios, un esclavo SPI (*full duplex*), un conversor A/D sigma-delta de 8 bits, un conversor D/A de 6 bits, un conversor D/A de 8 bits y dos filtros paso-bajo, y otro dispositivo con un contador de 16 bits, un PWM de 8 bits, un UART *half-duplex*, un master SPI, un conversor

* Manuscrito recibido el 25 de agosto de 2006. Este trabajo fue financiado parcialmente por la Agencia Canadiense para el Desarrollo Internacional (CIDA) bajo el Proyecto Tier II-394-TT02-00. El autor agradece sinceramente la invitación de los organizadores del Congreso CIEM 2006 para participar como conferencista en el mismo.

** A. Taboada Crispí trabaja en el Centro de Estudios de Electrónica y Tecnologías de la Información (CEETI), Fac. Ing. Eléctrica, Universidad Central de Las Villas (UCLV), Carretera a Camajuaní, km 5 ½, Santa Clara, VC, Cuba. (teléfono: (53) 42-281157; e-mail: ataboada@uclv.edu.cu).

A/D incremental de 12 bits, un filtro paso-bajo, un conversor D/A de 8 bits y dos amplificadores de instrumentación, puede implementarse en un mismo *chip*.

Por otro lado, la reconfiguración dinámica permite que múltiples funciones operen en el mismo *chip* en tiempos diferentes en la misma aplicación [2]. Por ejemplo: en una máquina de expendio de bebidas, el PSoC trabaja 23 Horas y 59 minutos por día aceptando monedas y distribuyendo las bebidas, pero unos pocos segundos cada noche se reconfigura dinámicamente a un modem de 300 Baudios y transmite la información sobre las monedas acopiadas, las bebidas vendidas y restantes, datos de mantenimiento, etc., con los beneficios de que el único costo adicional es la interfaz telefónica y permite incrementar la rentabilidad de la máquina.

En el PSoC, se definen las conexiones entre pines y bloques funcionales, las conexiones entre bloques funcionales, las rutas de reloj y se puede cambiar las conexiones también dinámicamente [2].

En el resto del trabajo, se presentan las características de los bloques componentes de los PSoC, así como el ambiente

de desarrollo integrado, con ayuda del cual se realiza el flujo de diseño. Dicho flujo es ejemplificado con un sistema de adquisición con procesamiento fuera de línea, tan común en aplicaciones de instrumentación industrial y biomédica.

Bloques y Módulos de Usuario (UM) de los PSoC

Bloques

Un ejemplo clásico de PSoC es el CY8C27443, premiado internacionalmente en el 2002, año en que salió al mercado [1]. El CY8C27443 (Fig. 1), que se tomará como patrón para las explicaciones de este trabajo aunque ya no es el más potente en el mercado, consta de una microcomputadora empotrada de 8 bits a 24MHz, 12 bloques analógicos y 8 digitales, con un encapsulado de 28 terminales, que cuesta menos de \$4.00 cada uno [1]. Los 12 bloques analógicos disponibles son de tres tipos: 4 de tiempo continuo, 4 de capacitores conmutados tipo C y 4 de capacitores conmutados tipo D. Los ocho bloques digitales de 8 bits por su parte son de dos tipos: 4 básicos y 4 de comunicaciones, programables al nivel funcional, pero no al nivel de compuerta [2].

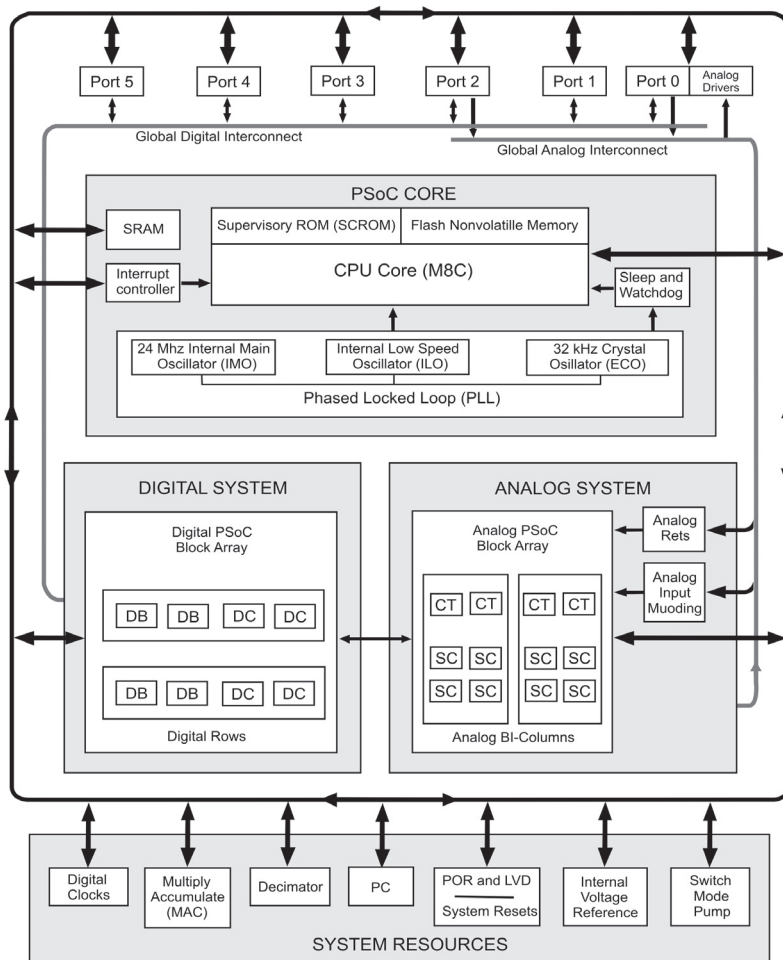


Fig. 1. Diagrama en bloques de los PSoC tipo CY8C27xxx.

Módulos de Usuario (UM)

Los módulos de usuario (UM) del PSoC constan de más de 55 bloques digitales y analógicos pre-configurados y pre-caracterizados [2], [3], [4], [5], [6]. Análogo a los periféricos *on-chip*, el PSoC contiene temporizadores - contadores - PWM's, UART - SPI, conversores A/D y D/A - registros SAR, etc. Se definen los bits del registro para la configuración inicial, seleccionado con doble clic en el ambiente de desarrollo integrado (IDE). Los módulos de usuario incluyen interfaces de programador de aplicación (APIs), rutinas de servicio de interrupción (ISRs) y hojas de dato específicas.

Los módulos de usuario analógicos comprenden: conversores A/D de diversos tipos resumidos en la tabla 1 (aproximaciones sucesivas de 6 bits, incremental de 12 y 14 bits, incremental variable de 7 a 13 bits, incremental variable de 7 a 13 bits con entrada doble y con entrada triple, sigma-delta de 8 y 11 bits) [5], conversores D/A (de 6, 8, y 9 bits, y multiplicativos de 6 y 8 bits) [6], filtros (paso-bajo de 2 polos y paso-banda de 2 polos) [4], [7], [8], amplificadores (de ganancia programable, de instrumentación, inversores), comparadores con umbral programable y marcadores DTMF.

TABLA I
CARACTERÍSTICAS DE LOS CONVERSADORES A/D
EN LOS PSoC

Convertidores A/D	Bits	Bloques Analógicos	Bloques Digitales	Razón de Muestreo (mps)
SAR6	6	1	0	40k
ADCINC12	12	1	2	78 - 480
ADCINC14	14	1	4	2 - 120
ADCINCVR	7-13 (12)	1	3	4 - 10k (6-480)
DualADC	7-13	2	4	4 - 10k
TriADC	7-13	3	5	4 - 10k
DELSIG8	8	1	1	0 125 - 31 25k
DELSIG11	11	1	1	125 - 7 8k

Los módulos de usuario digitales [2] por su parte incluyen: temporizadores de 8, 16, 24 y 32 bits, contadores de 8, 16, 24 y 32 bits, módulos PWM de 8 y 16 bits, generadores de banda muerta de 8 y 16 bits (reloj de 2 fases sin solapar), fuente pseudo aleatoria (PRS), generador de chequeo de redundancia cíclica (CRC), master y esclavo I2C, master y esclavo SPI, UART *full duplex*, receptor y transmisor IrDA (infrarrojo).

Finalmente los módulos de usuario de *software*, o sea que no contienen componentes de *hardware*, incluyen master I2C, memoria EEPROM e interfaz para controlador LCD del tipo Hitachi HD44780 [2].

Características de los UM

Dentro de las características de los módulos analógicos resaltan las entradas rail-to-rail, el bajo *offset* de entrada de los amplificadores operacionales (<5mV), el bajo ruido de entrada de los amplificadores operacionales (<80nV/√Hz) y el bajo ruido de camino de tierra [3], [9], [10]. Además tienen 8 puntos de referencia analógica a seleccionar, un comparador de baja potencia (<15μA), entradas diferenciales en los amplificadores operacionales, amplificadores de ganancia programable de hasta 48x y topologías de amplificadores de instrumentación de dos y tres operacionales [3], [10].

Por otro lado, los módulos digitales se destacan por poseer pines de entrada/salida (I/O) configurables, donde cada terminal puede proveer 10mA y recibir 25mA [2]; tienen resistores integrados/seleccionables de *pull-up* y *pull-down*. Se puede seleccionar como fuente de interrupción cada borde o cambio de estado.

La entrada analógica con *Schmitt trigger* está deshabilitado, o sea, se desconectan las entradas lógicas para bajar el ruido de realimentación digital y el ruido es reducido al nivel umbral nominal lógico [10]. La salida tiene pendiente controlada, lo que permite transientes reducidos de corriente, que bajan los tiempos de subida para garantizar emisiones radiadas reducidas [9]. Las salidas digitales son del tipo drenador abierto canal N y fuente abierta canal P. Las posibilidades de entrada/salida del PSoC se completan con 8 entradas analógicas multiplexables, 4 salidas analógicas (cada una con excitación de 40mA) y 4 líneas analógicas de entrada directa [2].

El micro del PSoC tiene un núcleo microprocesador empotrado M8C, con velocidades programables del procesador, que permite operar hasta 24 MHz (4 MIPS) a 5V y hasta 12 MHz a 3.3V [2]. El micro se basa en la arquitectura Harvard y es el mismo usado en los productos USB de *Cypress* [1].

La operación con célula simple (1.2V para arrancar) permite hasta 24MHz con bomba de voltaje interna y tres componentes pasivas. El supervisor del sistema interno del PSoC facilita la detección/alerta por bajo voltaje, contando con ocho niveles de indicación. El oscilador con precisión de 2.5% se logra sin componentes externas, con un PLL para generar la base de tiempo con cristal barato. El PSoC tiene modos *sleep flexibles*, reduciendo el consumo a menos de 3.0μA en *standby* [2].

En cuanto a memoria, el PSoC contiene 16 KBytes de *flash* de programa, permite emulación de EEPROM en flash, y dispone de 256 bytes de SRAM para que el usuario defina la longitud del *stack*. Los cuatro modos de protección de memoria permiten *upgrade* de fábrica en bloques individuales de 64 bytes, se puede proteger desde un bloque hasta la totalidad de la memoria *flash*, y se cuenta con un algoritmo robusto de protección de

lectura/escritura para seguridad adicional. El multiplicador-acumulador interno implementado por *hardware* (MAC) consta de un multiplicador de 8 X 8 y un acumulador de 32 bits, con respuesta disponible en el próximo ciclo de instrucción [2].

Ambiente de Desarrollo Integrado (IDE)

El ambiente de desarrollo integrado (IDE), el PSoC Designer, está disponible sin costo alguno en Internet [1]. Este consta de editor de dispositivos, editor de aplicaciones, compilador de C, ensamblador, bibliotecario y depurador (*debugger*).

Editor de Dispositivos

Usando el editor de dispositivos, el usuario da clic sobre "Generate Application" y el *software* toma todas las entradas del usuario: genera ficheros especificando el dispositivo configurado, establece los ficheros fuentes para el código de aplicación del proyecto, permite al usuario comenzar a codificar usando el editor de aplicación y crea una hoja de configuración a la medida basada en las entradas –hoja de datos a la medida. Para la selección de los módulos de usuario, se muestran las listas de los módulos de usuario disponibles en el catálogo, se muestran las hojas de datos para cada módulo de usuario, se seleccionan los módulos de usuario y se incluyen en el proyecto, mostrando el total actualizado de los recursos disponibles y consumidos. Para colocar los módulos de usuario, se muestra la arquitectura en bloques, con vistas combinadas de los UM y de los puertos, se genera el esquema de enrutado bloque a bloque, el esquema de conexión I/O global enrutada, la colocación del paso a través de UM potencial, además selecciona el UM y los recursos de interconexión, selecciona/configura el UM y los recursos del dispositivo global y define el reloj para los UMs. La especificación de los pines muestra las opciones de los pines para la parte seleccionada, hace las conexiones de los pines a las UMs, hace las conexiones de los UMs a los pines de salida y selecciona el UM y las interconexiones de recursos.

Editor de Aplicaciones

El editor de aplicaciones es para que los usuarios escriban código y para que ensamblen/compilen código. Aquí se muestran y editan los ficheros fuentes individuales, se ponen y quitan los *bookmarks* con la herramienta de edición, se ensamblan/compilan los ficheros individuales, se construye el proyecto entero incluyendo el ensamble/compilación de todos los ficheros del proyecto (el compilador de C requiere ser habilitado por el usuario) y se cuenta con un puntero de error de la línea fuente.

Compilador de C

El compilador CY3202-C de iMAGEcraft es un componente opcional del IDE. Una vez habilitado, se integra al IDE y

permite al PSoC *Designer* soportar *debugging* al nivel de fuente en C. Sus características son las de un compilador ANSI C, que acepta líneas en ensamblador y puede servir de interfaz con módulos de ensamblador. Posee compresor de código integrado, arquitectura moderna basada en el *stack*, 7 tipos de datos básicos incluyendo punto flotante IEEE de 32 bits. Tiene ensamblador y enlazador, bibliotecas matemáticas y de cadenas, rutinas de servicio a interrupción C y bibliotecario.

Otras Características

El ambiente de desarrollo integrado (IDE), además, diseña el chequeador de reglas (parámetros globales y configuración de módulo de usuario) y permite la reducción del tamaño del código, ya que tiene la opción de enlazar solo aquellas funciones API que se usan, logrando la compresión de un 2% a un 10% del código C. Soporta la construcción selectiva para múltiples configuraciones y la interfaz gráfica de usuario (GUI) permite la selección, colocación, y ruteo de los UMs dentro de una vista simple. Dentro de las mejoras al *debugger* se destacan la mezcla de C y ensamblador en un solo paso y la muestra de los arreglos de variables en observación. El kit de desarrollo CY3205-DK incluye todo lo necesario para admitir encapsulado PDIP de 28 pines.

Flujo de Diseño

El flujo de diseño con PSoC comprende determinar los requerimientos del sistema, seleccionar los módulos de usuario, colocar los módulos de usuario, establecer los parámetros de los módulos de usuario y globales, definir los pines del dispositivo, generar la aplicación, revisar el código generado y demostrar el trabajo de la configuración. Este flujo será ilustrado con el ejemplo de un sistema de adquisición con procesamiento fuera de línea.

Ejemplo de Diseño: Sistema de Adquisición con Procesamiento Fuera de Línea

En el campo de la instrumentación industrial es muy común el caso de tener que medir, en un medio ruidoso, variables tales como temperatura, presión, humedad, etc., que varían lentamente, con sensores que entregan niveles de voltaje (V_i) muy bajos [11]. Estas mediciones, por lo general, se almacenan y procesan fuera de línea (*off-line*). Una situación similar se da con la medición de variables fisiológicas (o señales bioeléctricas) en instrumentos tipo *Holter* [12]. Esta medición de variables con baja relación a ruido (SNR), y componentes espectrales restringidas a las bajas frecuencias, se puede resolver con un esquema como el de la Fig. 2.

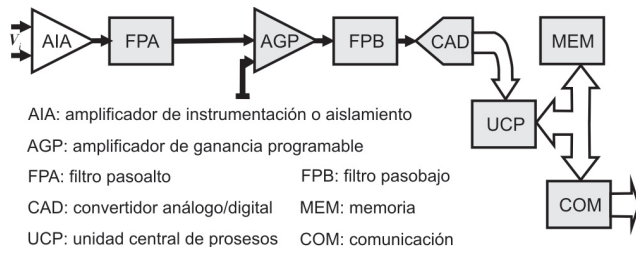


Fig. 2. Sistema de adquisición para procesamiento fuera de línea.

Esquema General

En este esquema general, el amplificador de instrumentación o aislamiento (AIA) con elevada razón de rechazo al modo común (RRMC), alta impedancia de entrada (Z_i) y bajo ruido, es el encargado de aumentar la SNR y adecuar las características de la señal de entrada (V_i). El filtro paso-alto (FPA) elimina componentes de corriente directa, tales como el voltaje offset de los electrodos (u otro tipo de transductor) y del propio amplificador AIA, para que no se sature la cadena de amplificación de elevada ganancia; además, limita otras componentes indeseables de baja frecuencia. El amplificador de ganancia programable (AGP) completa la amplificación de la cadena para cubrir el intervalo dinámico del convertidor análogo/digital (CAD). El filtro paso-bajo (FPB) reduce componentes indeseables de alta frecuencia y sirve de filtro anti-solapamiento (*anti-aliasing*), antes del CAD. La unidad central de procesos (UCP) controla la conversión a una frecuencia de muestreo (f_s) adecuada y almacena los resultados de la medición en la memoria (MEM), para luego controlar la descarga de los datos por el bloque de comunicación (COM) en una computadora personal u otro dispositivo inteligente para el análisis de los mismos [13].

Existen numerosas formas de implementar el esquema de la Figura 1 con componentes individuales, pero todas adolecen de dificultades en el montaje y ajustes, encareciendo la solución [14], [15]. En la actualidad existe una variada gama de dispositivos inteligentes que ofrecen facilidades de implementación de circuitos analógicos y digitales; entre ellos sobresalen los llamados sistemas programables en un *chip* (PSoC), de *Cypress MicroSystems* [2] presentados anteriormente en este trabajo, que han probado ser una solución viable para múltiples aplicaciones, como pueden ser los sensores inteligentes [16].

En esta parte del trabajo se implementa el esquema de la Fig. 2, con el CY8C27443 y se discuten los criterios utilizados para aprovechar al máximo las características del dispositivo y lograr un sistema competitivo.

Adaptación del Esquema General con PSoC

AIA: Cuando es necesario aislar la parte en contacto con el transductor del resto del circuito, se usa como primer bloque

del esquema, un amplificador de aislamiento. Este es el caso de ciertas aplicaciones biomédicas para garantizar la seguridad del paciente, o en entornos industriales en que el sensor está sometido (o pudiera estarlo en caso de accidente) a un voltaje elevado, como ocurre en la medición de parámetros de soldadura por arco [11]. De ser necesario ese aislamiento, se requiere de componente externa, ya que el PSoC no provee dicho bloque. Se recomienda el uso de algún amplificador de aislamiento comercial [11], [12], [13], [15], u otra combinación que incluya aislamiento analógico, como los *iCoupler de Analog Devices* [12].

Si es suficiente con un amplificador de instrumentación, en cambio, el PSoC sí ofrece variantes para implementarlo, con configuraciones de 2 y 3 amplificadores operacionales. La configuración de 2 amplificadores, operando con 5 V a máxima potencia, logra RRMC de 59 dB, con nivel de ruido de 99 nV/ $\sqrt{\text{Hz}}$ [2]. Esta variante es aceptable, pero aun ella conlleva a un consumo de los recursos del PSoC (2 bloques analógicos de tiempo continuo) que pudiera comprometer la implementación de las demás funciones, por lo que se recomienda implementar el AIA externamente, con lo que se puede incluso superar las prestaciones que ofrece el PSoC.

Se debe insistir en que el AIA debe ser el bloque menos ruidoso y debe tener una ganancia (A_{AIA}) tan grande como sea posible sin saturar la etapa, para lograr un mínimo ruido de salida (n_o), que viene dado por:

$$n_o = n_{AIA} \cdot A_{AIA} \cdot A_{FPA} \cdot A_{AGP} \cdot A_{FPB} + n_{FPA} \cdot A_{FPA} \cdot A_{AGP} \cdot A_{FPB} + n_{AGP} \cdot A_{AGP} \cdot A_{FPB} + n_{FPB} \cdot A_{FPB} \quad (1)$$

donde n_{AIA} , n_{FPA} , n_{AGP} y n_{FPB} , son los ruidos asociados a los bloques AIA, FPA, AGP y FPB, respectivamente; y A_{AIA} , A_{FPA} , A_{AGP} y A_{FPB} son las ganancias correspondientes.

FPA: Para ciertas aplicaciones en que la frecuencia de corte del FPA esté suficientemente alejada de 0, este pudiera conformarse con elementos activos independientes, o del propio PSoC, consumiendo ciertos recursos. No obstante, en la generalidad de los casos, cuando la frecuencia de corte es bien cercana a 0, basta con el uso de componentes pasivas, incluso del tipo RC, cuidando que la R no sea de valor excesivo que favorezca un elevado nivel de ruido y que C sea de dieléctrico estable.

AGP: El AGP es el primer bloque que sí se recomienda que esté dentro del PSoC, debiendo estar conformado por un amplificador de ganancia programable propiamente dicho del PSoC. Este solo requiere un bloque analógico de tiempo continuo, con nivel de ruido de 99 nV/ $\sqrt{\text{Hz}}$, y ofrece la posibilidad de fácilmente variar la ganancia y la referencia, lo que permite ajustar el *offset*, como se verá luego. La ganancia implícita del AGP pudiera ser, por ejemplo, de 24 ($\times 1$),

con variantes de 48 ($\times 2$) y 8 ($\div 3$) para cuando sea necesario aumentar (para cubrir el intervalo dinámico de entrada del CAD) o disminuir (evitar saturación del CAD), cuando la señal de entrada sea de muy bajo nivel, o muy alto nivel, respectivamente.

FPB y CAD: El FPB debe limitar las componentes de frecuencia por encima de la mitad de la frecuencia de muestreo del CAD ($f_s/2$) para evitar el *aliasing*. En aplicaciones de medición de variables industriales, e incluso en aplicaciones biomédicas en que las señales varían lentamente, no se requiere una frecuencia de muestreo (f_s) tan elevada, aun siguiendo el criterio de muestrear a unas 4 o 5 veces por encima de la máxima componente de frecuencia de interés (f_m). Esos criterios se justifican porque, para una resolución dada, los convertidores que permiten mayores f_s son más caros, pero dentro del PSoC no hay dicho problema, todo vale lo mismo, aunque algunas soluciones de CAD consumen más recursos que otras [5]. Por lo anterior, se recomienda incrementar la $f_s' = Nf_s$ para bajar los requisitos del FPB, a expensas de mayor consumo del sistema al cargar más datos momentáneamente, para luego procesarlos digitalmente antes de guardarlos definitivamente a una razón de $f_s = 4f_m$ para que no se recargue inútilmente la MEM.

El FPB debe seleccionarse con frecuencia de corte coincidente con la f_m de la señal a medir, para garantizar prácticamente ninguna atenuación en la banda espectral útil. El FPB tendrá la ganancia necesaria para completar la amplificación total de la cadena, pero no debe perderse de vista que su valor debe ser tan pequeño como sea posible, para garantizar bajo no, según (1). Si se sigue el criterio de seleccionar $f_s' = Nf_s$ (N tan grande como se posible), bastará con un filtro de orden 2 con aproximante de Bessel para que no se distorsione la señal filtrada. Aunque casi siempre se aconseja usar la variante continua para filtros *antialiasing*, aquí se puede implementar un FPB con bloques de capacitores conmutados para prescindir de componentes externas. El proceso de filtrado se completa digitalmente al implementar, con ayuda de la UCP, un filtro FIR que en el caso más simple consiste en promediar cada N muestras de entrada a la razón f_s' ; para obtener las muestras de salida a razón f_s . Con este proceso se reduce la potencia del ruido por un factor N.

El PSoC ofrece una amplia gama de CAD de los cuales seleccionar uno, de acuerdo a los requisitos de la aplicación y teniendo en cuenta resolución, porcentaje de uso de la UCP, latencia, linealidad, ruido, consumo de potencia y de otros recursos (bloques analógicos y digitales, RAM, flash) [5]. Entre las posibles opciones, se hallan los de aproximaciones sucesivas (SAR6), del tipo incremental (ADCINC, ADCINC12, ADCINC14, ADCINCVC) y sigma-delta (DELSIG8, DELSIG11). Como regla general, se debe usar SAR6 solo si la señal a medir varía excesivamente lenta; se prefieren los del tipo sigma-delta por ser más inmunes al ruido y facilitar el trabajo del FPB como *anti-aliasing*.

MEM y compresión de datos: Las modernas memorias *flash* tipo serie, de alta capacidad, pequeño tamaño, bajo consumo y mínimo número de terminales [17], pueden conectarse a los PSoC, para incrementar considerablemente el número de lecturas del instrumento o cualquier otro dato que requiera ser almacenado, con ayuda de un bloque de comunicación SPIM que soporta protocolo master *Serial Peripheral Interconnect*. Ya se comercializan estas memorias con capacidades de varios MBytes por precios asequibles, y aun deben abaratare más y seguir incrementando su capacidad.

No obstante, para lograr máximo aprovechamiento de la capacidad de almacenamiento, se deben emplear algoritmos de compresión que puedan implementarse con la UCP. Un ejemplo sencillo de algoritmo de compresión sin pérdidas que puede aumentar la capacidad de almacenamiento en la MEM cuando se usan CAD con resolución mejor que 8 bits, es el de la primera diferencia. Este consiste en almacenar la diferencia entre una muestra y la anterior, en lugar de la muestra en cuestión. Eso garantiza que siempre quepa el resultado en 8 bits y no se necesite más de un byte de memoria, independientemente de que se haya usado un convertidor de más de 8 bits.

COM: Para hacer el análisis de los datos guardados en la MEM, es necesario descargar los mismos hacia una unidad inteligente con cierta potencia de cálculo y posibilidades de visualización, como pudiera ser una computadora personal. El PSoC ofrece múltiples variantes de comunicación digital con el exterior, entre ellas: I²C (estándar industrial de *Philips*), formato serie compatible con RS232, la ya mencionada SPI (*Serial Peripheral Interconnect*) y la comunicación infrarroja (IrDA) a una razón de hasta 115.2 Kbits/s.

La variante IrDA tiene cierto atractivo para datos no excesivamente grandes, al evitar la conexión/desconexión de conectores y cables, con el consiguiente deterioro mecánico y fallas asociadas. Además, garantiza el aislamiento entre el instrumento de medición, alimentado con baterías, y la línea de potencia, evitando daños accidentales. Por otro lado, la interfaz IrDA se encuentra disponible en la mayoría de las computadoras modernas (o se le puede incorporar por un precio mínimo), así como en teléfonos celulares y otros dispositivos de comunicación que posibilitan el envío de datos, vía MODEM, a computadoras remotas.

El hecho de que la medición y la transmisión de los datos hacia el dispositivo analizador no se realizan simultáneamente, hace posible destinar todos los recursos del PSoC a la primera función y luego, en el momento del vaciado de la MEM, usar una segunda configuración que se conforme con la conexión IrDA o con la que se decida.

Otros recursos: El PSoC tiene el mismo precio usando al máximo sus recursos y posibilidades que sub-utilizándolos. Por eso, se recomienda sacar el mayor partido de sus bondades, dentro de los compromisos lógicos que se presuponen.

Aunque el FPA elimina o reduce las componentes de corriente directa provenientes del sensor y del AIA, también el AGP y el FPB aportan su nivel de *offset*. Consecuentemente, para una entrada nula ($V_i=0$), el voltaje analógico de salida (a la entrada del CAD) podría estar relativamente alejado de 0. Para reducir este efecto y hacer más fácil la medición, se propone usar un convertidor dígito/analógico (CDA), contenido en el PSoC, que realmente al AGP, un nivel de voltaje tal que contrarreste el que incorpora el conjunto AGP-FPB, que debe ser unas ($A_{AGP} \cdot A_{FPB}$) veces menor que el medido por el CAD cuando el voltaje a la entrada del AGP es 0. Para facilitar este proceso de ajuste del cero automáticamente, se propone usar un multiplexor de 4 a 1 (MUX), también incluido en el PSoC. Esto permite incluso la compensación de errores de linealidad, incorporando entradas de valores de voltajes de referencia (V_{ref}) conocidos [18].

El CDA de mayor resolución que contiene el PSoC es de 9 bits, aunque pudiera llevarse a 11 con ciertos artificios [6]. Esto dificulta un desempeño convincente del CDA por si solo para ajustar el *offset*, ya que el nivel ajustable sería de aproximadamente $A_{AGP} \cdot A_{FPB} \cdot V_{gl} / (2^9)$. Para compensar esto, se recomienda el uso de amplificadores de ganancia programable con ganancias menores que la unidad, actuando como divisores (DIV). Por ejemplo, colocando 2 en cascada con ganancias de 1/16 (la mínima posible) cada uno, se logra mejorar por 256 el paso de ajuste del *offset*.

El esquema de la Fig. 2 se transforma entonces en el de la Fig. 3, que incluye esta variante de ajuste del cero y de la ganancia por software. Para realizar los ajustes, se manda a poner el CDA en 0, el MUX conecta la entrada de la tierra analógica (0 V) [10] y se lee el valor en el CAD (en realidad se toma el promedio de una ráfaga de lecturas). El resultado se divide entre $[(A_{AGP} \cdot A_{FPB}) / (A_{DIV1} \cdot A_{DIV2})]$ para pasarlo al CDA. Sería muy conveniente que $[(A_{AGP} \cdot A_{FPB}) / (A_{DIV1} \cdot A_{DIV2})]$ fuera una potencia de dos, para facilitar la división en la UCP, simplemente desplazando la lectura del CAD y rellenando con ceros. Para lograr mejor ajuste, se hace una breve corrida alrededor del valor pasado al CDA, hasta lograr la lectura más cercana a cero en el CAD. Con el cero ajustado, se pasa MUX a la posición del voltaje de referencia conocido (V_{ref}), que pudiera ser el de plena escala, o una fracción de él, se lee el CAD y se calcula el factor de corrección adecuado, por el que habría que multiplicar a cada medición al final. En la Figura 3, las componentes internas del PSoC están enmarcadas en un cuadro de líneas discontinuas.

El diseño con el PSoC se realiza con el software PSoC Designer 4.2, descargado del sitio de *Cypress MicroSystems*. También se usó un *In-Circuit Emulator* (ICE-4000) [2] para emular y poner a punto el diseño, además de permitir descargar la estructura final al PSoC, para usarlo como un circuito integrado y hacerle pruebas en una *breadboard*.

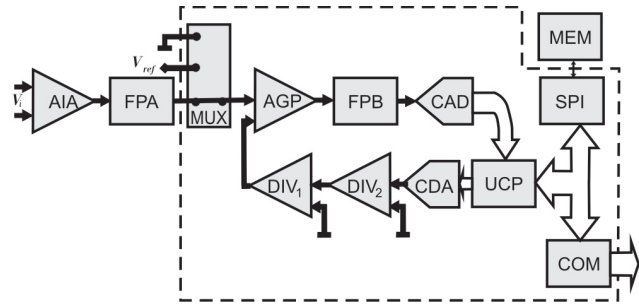


Fig. 3. Sistema de adquisición para procesamiento fuera de línea con PSoC.

Resultados y Discusión

Todo lo analizado anteriormente se tuvo en cuenta para el diseño de una aplicación hipotética en que la señal en V_i varía entre ± 4 mV, con un nivel DC que puede llegar a ser de unos ± 100 mV; la resolución necesaria es de $5 \mu\text{V}$ y el ancho de banda debe ser de 0.05 a 100 Hz. Se puede demostrar que eso implica usar un CAD de 11 bits, con ganancia total requerida de 1000 aproximadamente (además se toma de 2000 para señales de muy bajo nivel y de 333 para señales de muy alto nivel). Debido al *offset* inicial, la ganancia del AIA no pudo fijarse muy alta y se tomó de 14.

Para la implementación, se usó un AIA tipo AD620 [15] y un FPA tipo RC, con R de película metálica de 1 M Ω y C de 4.7 μF de Tantalio, para lograr una frecuencia de corte de 0.034 Hz. De los recursos del PSoC, se utilizaron 3 amplificadores de ganancia programable como AGP (ganancia 24 para 1000, 48 para 2000 y 8 para 333), DIV₁ (ganancia 1/16) y DIV₂ (ganancia 1/16); un FPB de segundo orden con capacitores conmutados como FPB, con ganancia 3 (4.77 dB) para completar los 1000 de ganancia total; un CDA de 11 bits del tipo sigma-delta; un CDA de 9 bits modificado para trabajar como de 11 bits; un MUX de 4 entradas, además de otro para el voltaje de referencia de 0 V; un bloque SPI master para atender la MEM tipo *flash* serie; y bloques para transmisión y recepción infrarroja IrDA para COM con la computadora personal.

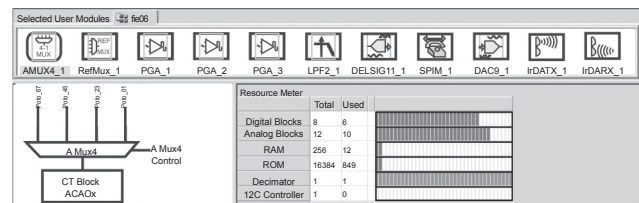


Fig. 4. Módulos de usuario seleccionados y recursos del PSoC empleados (vista obtenida con PSoC Designer versión 4.2).

Como se aprecia en la Fig. 4, estos módulos de usuario solo consumen 6 de los 8 bloques analógicos y 10 de los 12 digitales del CY8C27443. Se usa además el único diezmadador disponible, pero la memoria (RAM y ROM) casi queda intacta.

El nivel de ruido a la entrada del CAD, asumiendo que el ruido de todos los amplificadores es de $100 \text{ nV}/\sqrt{\text{Hz}}$, y el del FPA es el ruido térmico del resistor de $1 \text{ M}\Omega$, o sea,

$$n_{FPA} = \sqrt{4kTB_W R} = \sqrt{4 \cdot 13,81 \cdot 10^{-24} \cdot 300 \cdot 100 \cdot 10^6} \approx 1,3 \mu\text{V} / \sqrt{\text{Hz}}$$

(donde K es la constante de Boltzmann, T es la temperatura en Kelvin, Bw es el ancho de banda de ruido y R es la resistencia), se estima según (1) como

$$\begin{aligned} n_0 &= 0,1 \cdot 14 \cdot 1 \cdot 24 \cdot 3 + 1,3 \cdot 1 \cdot 24 \cdot 3 + 0,1 \cdot 24 \cdot 3 + 0,1 \cdot 3 \\ &\approx 0,2 \text{ mV} / \sqrt{\text{Hz}} \end{aligned}$$

El valor observado parece, incluso, algo inferior (prácticamente nulo), aunque no se pudo medir con precisión debido a que no se tiene acceso directo al terminal de entrada del CAD y el valor de la resolución que se puede lograr con el mismo está por encima de dicho valor. O sea, el ruido deja de ser un problema en este diseño, por ser su nivel inferior al peso del bit menos significativo del CAD. Esto se comprueba tomando varias mediciones de un mismo valor de voltaje conocido a la entrada de AGP con ayuda de MUX. El ajuste del cero puede considerarse también exitoso, al lograr un *offset* de salida en el orden del peso del bit menos significativo del CAD.

Para pruebas con diferentes señales de entrada, se verificó que no había pérdida de información al almacenar en MEM solo la primera diferencia y luego reconstruyendo la señal original mediante suma. Se puede decir entonces que este método de compresión sin pérdidas resulta efectivo para sistemas de este tipo.

El consumo de potencia es un aspecto en el que quizás todavía se pudiera mejorar un poco este diseño, pues se priorizó la característica de bajar al máximo el nivel de ruido y para ello hubo que usar el PSoC alimentado con 5 V y con 'alto' consumo. No obstante, el consumo medido estuvo en el orden de 20 mA y menos, lo que puede considerarse aceptable para el instrumento que deberá ser alimentado por baterías.

CONCLUSIONES

Los PSoC exhiben evidentes facilidades para su estudio y su uso. Existe gran cantidad de recursos disponibles gratuitamente en Internet, fundamentalmente en el sitio de Cypress (www.cypress.com), que incluyen el ambiente de desarrollo integrado *PSoC Designer* y otros *software*, guías, manuales, folletos, notas de aplicación, cursos, tutoriales, foros de discusión y consulta. Tienen gran cantidad de suministradores en casi todo el mundo y sus kits de desarrollo son relativamente baratos y flexibles, además de que los *chips* son extremadamente baratos y permiten ser usados múltiples veces en diversas aplicaciones.

Por sus características, los PSoC resultan marcadamente competitivos en aplicaciones de instrumentación general, sobre todo cuando se trate de sistemas de adquisición con procesamiento fuera de línea.

REFERENCIAS

- [1] Cypress Semiconductor Corporation, www.cypress.com, Agosto 2006.
- [2] H. Montag, "CY8C27143, CY8C27243, CY8C27443, CY8C27543, CY8C27643 PSoC™ Mixed Signal Array", Final Data Sheet For Silicon Revision A, Document No. 38-12012, Revision G, Cypress MicroSystems, November 2003.
- [3] D. Seguine, "Lower Noise Continuous Time Signal Processing with PSoC™", Cypress MicroSystems, Application Note, AN2224, Oct 2004.
- [4] D. Van Ess, "Understanding Switched Capacitor Filters", Cypress MicroSystems, Application Note, AN2168, October 2004.
- [5] D. Seguine, "ADC Selection", Cypress MicroSystems, Application Note, AN2239, January 2005.
- [6] M. Ganesh Raaja, "DAC-11", Cypress MicroSystems, Application Note, AN2117, March 2003.
- [7] D. Seguine, "Adjustable Sallen and Key High-Pass Filters", Cypress MicroSystems, Application Note, AN2030, April 2002.
- [8] D. Seguine, C. McNeese, "Adjustable Sallen and Key Low-Pass Filters", Cypress MicroSystems, Application Note, AN2031, May 2004.
- [9] D. Seguine, "EMI Design Considerations for PSoC™", Cypress MicroSystems, Application Note, AN2155, Revision A, April 2004.
- [10] D. Seguine, "Selecting PSoC™ Ground and Reference", Cypress MicroSystems, Application Note, AN2219, August 2004.
- [11] R. Anderson, S. Baier, R. Downs, B. Ilhan, R. Mancini, J. Purvis, R. Watson, C. Williams, "Signal Acquisition and Conditioning for Industrial Applications Seminar", Texas Instruments, 2003.
- [12] C. Hyde, M. Burns, "Enabling the Next Generation of Medical Instrumentation", Analog Devices, March, 2006.
- [13] S. Wayne, "Finding the Needle in a Haystack: Measuring small differential voltages in the presence of large common-mode voltages", Analog Dialogue, 34-1, 2000.
- [14] S. Sadanand, "White Paper: Component Selection in Electronic System Design", Ittiam Systems Pvt Ltd, December 2005.
- [15] C. Kitchin, I. Counts, *A Designer's Guide to Instrumentation Amplifiers*, 2nd Edition, Analog Devices, 2004.
- [16] A. Taboada., L. Horta, M.A. Mendoza, "Inteligencia Empotrada para Sensores en la Era de los PSoC", I Simposio Internacional de Computación y Electrónica, *Informática 2005*, ISBN 959-7164-87-6.
- [17] "Introduction to Serial Flash Memories", NexFlash Technologies Inc., December 2003.
- [18] Texas Instruments, "Managing Noise and Ground in Precision Analog System Applications", Analog e-lab, March 2006.